

PCT

ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE
Bureau international



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁶ : H03K 17/16	A1	(11) Numéro de publication internationale: WO 99/52212 (43) Date de publication internationale: 14 octobre 1999 (14.10.99)
(21) Numéro de la demande internationale: PCT/FR99/00795 (22) Date de dépôt international: 6 avril 1999 (06.04.99) (30) Données relatives à la priorité: 98/04251 6 avril 1998 (06.04.98) FR (71) Déposant (pour tous les Etats désignés sauf US): CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE (CNRS) [FR/FR]; 3, rue Michel-Ange, F-75016 Paris (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): BAUSIERE, Robert [FR/FR]; 10, rue de l'Egalité, F-62400 Béthune (FR). FRANCHAUD, Jean-Jacques [FR/FR]; 114, rue Faidherbe, F-59260 Hellemmes Lille (FR). IDIR, Nadir [DZ/FR]; 26/41, chaussée de l'Hôtel de Ville, F-59650 Villeneuve d'Asq (FR). (74) Mandataire: MONCHENY, Michel; Cabinet Lavoix, 2, place d'Estienne d'Orves, F-75441 Paris Cedex 09 (FR).		(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée Avec rapport de recherche internationale.

(54) Title: METHOD AND DEVICE FOR CONTROLLING AN INSULATED GRID POWER TRANSISTOR SWITCHING

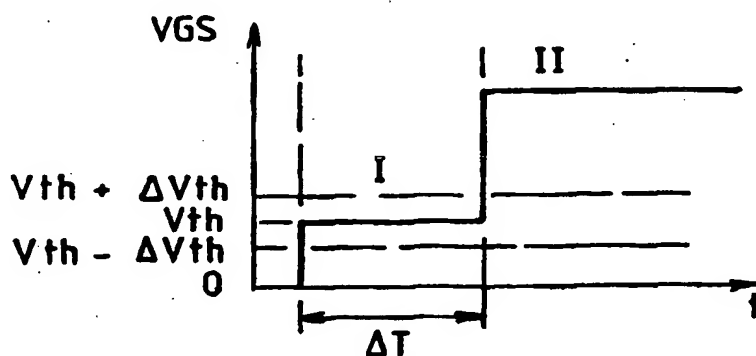
(54) Titre: PROCÉDE ET DISPOSITIF DE COMMANDE DE LA COMMUTATION DE TRANSISTOR DE PUISSANCE A GRILLE ISOLEE

(57) Abstract

The invention concerns a method for controlling power transistor switching by applying a control signal on the grid or each grid of the transistor, the control signal (V_{GS}) comprises a voltage stage (I) with a value intermediate between a first voltage level adapted for positioning the transistor in a first switching state and a second voltage level for positioning the latter in a second switching state.

(57) Abrégé

Dans ce procédé de commande de la commutation de transistors de puissance par application d'un signal de commande sur la grille du ou de chaque transistor, le signal de commande (V_{GS}) comporte un palier (I) de tension ayant une valeur intermédiaire entre un premier niveau de tension adapté pour positionner le transistor dans un premier état de commutation et un deuxième niveau de tension adapté pour positionner ce dernier dans un deuxième état de commutation.



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave	TM	Turkménistan
BF	Burkina Faso	GR	Grèce		de Macédoine	TR	Turquie
BG	Bulgarie	HU	Hongrie	ML	Mali	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MN	Mongolie	UA	Ukraine
BR	Bésil	IL	Israël	MR	Mauritanie	UG	Ouganda
BY	Bélarus	IS	Islande	MW	Malawi	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	MX	Mexique	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NE	Niger	VN	Viet Nam
CG	Congo	KE	Kenya	NL	Pays-Bas	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NO	Norvège	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	NZ	Nouvelle-Zélande		
CM	Cameroun			PL	Pologne		
CN	Chine	KR	République de Corée	PT	Portugal		
CU	Cuba	KZ	Kazakhstan	RO	Roumanie		
CZ	République tchèque	LC	Sainte-Lucie	RU	Fédération de Russie		
DE	Allemagne	LI	Liechtenstein	SD	Soudan		
DK	Danemark	LK	Sri Lanka	SE	Suède		
EE	Estonie	LR	Libéria	SG	Singapour		

" Procédé et dispositif de commande de la commutation de transistor de puissance à grille isolée".

La présente invention est relative à un procédé de commande de la commutation de transistors de puissance, ainsi qu'à un dispositif pour la mise en oeuvre d'un tel procédé.

5 Plus particulièrement, l'invention se rapporte à un procédé et à un dispositif de commande de la commutation de transistors de puissance à grille isolée.

Les transistors de puissance à grille isolée présentent l'avantage de pouvoir fournir des courants
10 importants, jusqu'à quelques centaines d'ampères, à partir d'un signal de commande ayant une tension relativement faible, dans la mesure où son rôle est de commuter le courant de charge ou de décharge de la capacité parasite d'entrée des transistors à chaque changement d'état.

15 Dans l'état de la technique, le signal de commande est constitué par une tension en forme de créneau évoluant entre un niveau bas, sensiblement égal à 0, et un niveau haut de l'ordre de 15 à 20 V.

Dans une cellule élémentaire de commutation
20 commandée en commutation selon cette technique, une préoccupation constante est la limitation du gradient de courant lors de la mise en conduction d'un transistor afin d'éviter l'apparition d'une surintensité due au recouvrement inverse de la diode intégrée à la cellule, dont la fermeture
25 du transistor entraîne le blocage.

Par ailleurs, lors des commutations du transistor, des oscillations du courant et de la tension apparaissent ce qui tend à engendrer des perturbations électromagnétiques néfastes.

30 Une méthode connue pour limiter le gradient de courant à la mise en conduction consiste à donner une valeur élevée à une résistance intercalée entre un générateur de créneau et l'électrode de commande du transistor, ce qui permet de ralentir la charge de la capacité d'entrée du

transistor et la vitesse d'établissement du courant dans le matériau semiconducteur entrant dans la constitution du transistor.

5 Toutefois, cette résistance provoque un ralentissement de la décharge, ce qui se traduit par une augmentation nuisible de la durée de la phase de retour à l'état bloqué du composant. Cet inconvénient peut être réduit en branchant en parallèle sur la résistance une diode autorisant une décharge rapide de la capacité.

10 Dans un bras d'onduleur, deux transistors sont branchés en série sous la même tension. Il est donc généralement nécessaire d'introduire des temps morts entre les signaux de commande qui leur sont appliqués pour éviter tout risque de court-circuit de la source de tension, ce qui
15 entraînerait une surintensité fatale pour les interrupteurs simultanément fermés.

 Ces temps morts peuvent toutefois être à l'origine de l'ouverture momentanée du circuit de la source de courant et donc d'un gradient de courant élevé et d'une surtension
20 créée par les inductances parasites de la cellule.

 Ils réduisent également la fréquence maximale de découpage et la largeur minimale des impulsions dans le C_{GS} d'une commande en modulation par largeur d'impulsion (MLI).

 Généralement, les pertes de commutation dans les
25 transistors de puissance peuvent être réduites en utilisant des circuits d'aide à la commutation (CALC) qui placent les interrupteurs dans des conditions telles que, pendant la fermeture, une inductance série ralentit la montée du courant et, pendant l'ouverture, un condensateur branché en
30 parallèle ralentit la montée de la tension après que le courant dans le composant ait chuté.

 Toutefois, l'énergie stockée à la fermeture dans l'inductance série doit être évacuée à l'ouverture, ce qui peut être à l'origine d'une surtension aux bornes du

transistor. De même, l'énergie stockée à l'ouverture dans le condensateur doit être évacuée à la fermeture, ce qui peut être à l'origine d'une surintensité dans le transistor.

Le but de l'invention est de pallier les
5 inconvénients de l'état de la technique.

Elle a donc pour objet un procédé de commande de la commutation de transistors de puissance par application d'un signal de commande sur la grille du ou de chaque transistor, comportant au moins un palier de tension ayant une valeur
10 intermédiaire entre un premier niveau de tension adapté pour positionner le transistor dans un premier état de commutation et un deuxième niveau de tension adapté pour positionner ce dernier dans un deuxième état de commutation, caractérisé en ce que la valeur intermédiaire de la tension
15 du signal de commande est sensiblement égale à la tension de seuil du transistor et constitue un moyen de réglage au courant de charge ou de décharge d'une capacité d'entrée du transistor.

Le procédé suivant l'invention peut en outre
20 comporter une ou plusieurs des caractéristiques suivantes, prises isolément ou selon toutes les combinaisons techniquement possibles :

- pour la commande du blocage du transistor, l'on positionne la tension dudit signal à une valeur sensiblement
25 nulle ou négative, puis on élève la tension de ce dernier jusqu'à ladite valeur intermédiaire, et l'on abaisse la tension du signal de commande jusqu'à une valeur sensiblement nulle ou négative;

- pour la commande de la mise en conduction du
30 transistor, on élève la tension du signal de commande jusqu'à ladite valeur intermédiaire, puis on élève la tension de ce dernier jusqu'au deuxième niveau de tension; et

- la durée du ou de chaque palier constitue un deuxième moyen de réglage du courant de charge ou de décharge de la capacité d'entrée du transistor.

L'invention a également pour objet un dispositif de
5 commande de la commutation de transistors de puissance, pour la mise en oeuvre d'un procédé tel que défini ci-dessus, caractérisé en ce qu'il comporte au moins une source de tension continue associée à un circuit de mise en forme du signal délivré par la source de tension de manière à
10 engendrer au moins un palier de tension ayant une valeur intermédiaire entre un premier niveau de tension délivré par la source pour positionner le transistor dans un premier état de commutation et un deuxième niveau de tension délivré par la source pour positionner le transistor dans un
15 deuxième état de commutation, le ou chaque circuit de mise en forme étant connecté entre la grille et l'électrode de référence du transistor, en vue de la polarisation de la grille, la valeur de la tension du ou de chaque palier étant sensiblement égale à la valeur de la tension de seuil du
20 transistor.

D'autres caractéristiques et avantages ressortiront de la description suivante, donnée uniquement à titre d'exemple, et faite en référence aux dessins annexés sur lesquels :

25 - la figure 1 est un schéma illustrant un dispositif de commande, suivant l'invention, pour la commutation d'une cellule élémentaire de commutation ;

- la figure 2 illustre la forme du signal de commande appliqué à la cellule de la figure 1 pour la mise
30 en conduction du transistor ;

- la figure 3 montre la forme du signal de commande appliqué à la cellule de la figure 1 pour le blocage du transistor ;

- la figure 4 montre des courbes illustrant la variation du courant et de la tension aux bornes du transistor de la figure 1 lors de sa mise en conduction ;

5 - la figure 5 montre des courbes illustrant la variation du courant et de la tension aux bornes du transistor de la figure 1 piloté à l'aide de commande classique en forme de créneau ; et

10 - la figure 6 montre des courbes illustrant la variation du courant et de la tension aux bornes du transistor de la figure 1 lors du blocage de ce dernier, en utilisant respectivement un signal de commande de commutation conforme à l'invention et un signal de commande de type classique.

15 Sur la figure 1, on a représenté un dispositif 10 de commande de la commutation d'une cellule élémentaire de commutation désignée par la référence numérique générale 12.

La cellule 12 est une cellule de type classique. Elle ne sera donc pas décrite en détail par la suite.

20 On notera toutefois qu'elle comporte un transistor de puissance 14 à grille isolée constitué par un transistor de type MOS.

25 On conçoit toutefois que l'invention n'est pas limitée à la commande de la commutation d'un tel transistor et s'applique également à la commande de la commutation d'autres types de transistors, par exemple des transistors bipolaires à grille isolée (IGBT).

30 Le dispositif de commande 10 comporte deux sources de tension continues, respectivement 16 et 18, capables par exemple de délivrer une tension continue de 15 V, associées chacune à un circuit de mise en forme du signal délivré par la source de tension correspondante, désigné par les références numériques 20 et 22.

L'un des circuits de mise en forme, tel que 20, est relié, par l'intermédiaire d'une résistance 24, à la grille

du transistor 14, l'autre circuit de mise en forme 22 étant relié, par l'intermédiaire d'une résistance 26, à l'électrode de référence du transistor 14, c'est-à-dire à sa source.

5 Les circuits de mise en forme des signaux 20 et 22 sont constitués de circuits électroniques appropriés pour l'utilisation envisagée, par exemple de moyens matériels ou de moyens logiciels, c'est-à-dire capables d'effectuer une polarisation de la grille du transistor 14, comme décrit par
10 la suite.

Plus particulièrement, et selon l'invention, pour la commande de la mise en conduction du transistor 14, les circuits de mise en forme 20 et 22 délivrent à la grille G et à la source S du transistor 14 un signal de commande V_{GS}
15 comprenant plusieurs niveaux de tension, selon le type de commutation.

Pour la commande de la mise en conduction du transistor, et comme représenté sur la figure 2, les circuits 20 et 22 élèvent le niveau de tension du signal de
20 commande V_{GS} , initialement nul ou négatif, jusqu'à un palier de tension ayant une valeur intermédiaire entre un premier niveau de tension correspondant au blocage du transistor 14, c'est-à-dire correspondant à une différence de potentiel nulle ou négative entre la grille G et la source S de ce
25 dernier, et un deuxième niveau de tension correspondant à la mise en conduction du transistor 14, c'est-à-dire correspondant à une différence de potentiel entre la grille et la source de ce dernier égale à la tension maximale délivrée par les générateurs 16 et 18.

30 Ainsi, la mise en conduction du transistor 14 s'effectue, en référence à la figure 2, selon une première phase I d'une durée ΔT réglable au cours de laquelle la tension de commande V_{GS} est positionnée à un niveau de tension V_{th} correspondant à la tension de seuil à partir de

laquelle des canaux apparaissent dans les couches d'inversion du matériau entrant dans la constitution du transistor 14 et une deuxième phase II au cours de laquelle la tension de commande V_{GS} est fixée à la valeur maximale
5 délivrée par les sources de tension 16 et 18, par exemple égale à 15 V, cette deuxième phase II débutant dès que le courant de charge souhaité pour la capacité d'entrée C_{GS} du transistor est obtenue.

Il est à noter que, comme visible sur la figure 2,
10 et représenté en pointillés, le niveau du palier peut être réglé autour de la valeur de tension de seuil V_{th} avec une variation de $\pm \Delta V_{th}$ autour de cette valeur de tension de seuil de manière à positionner le signal de commande à une valeur sensiblement inférieure à la tension à laquelle
15 débute l'effet Miller, c'est-à-dire avant l'apparition d'une variation dans la charge de la capacité C_{GS} d'entrée qui aurait pour effet une variation du courant de charge.

Par ailleurs, pour la commande du blocage du transistor 14, et comme représenté sur la figure 3, à partir
20 d'une tension de commande V_{GS} égale par exemple à 15 V, la commande du blocage débute par une première phase III au cours de laquelle la tension V_{GS} est positionnée à une valeur nulle ou négative, suivie d'une phase IV au cours de laquelle la tension du signal de commande est positionnée à
25 un niveau sensiblement égal à la tension V_{th} avec une variation égale à $\pm \Delta V_{th}$ autour de cette tension de seuil V_{th} , comme décrit précédemment.

Après ce palier de tension, le signal de commande est positionné à une valeur sensiblement nulle pour bloquer
30 définitivement le composant.

Il est à noter que, comme pour la commande de la conduction du transistor, il est possible de contrôler la commutation au blocage du transistor, en intervenant sur la durée ΔT_0 de la phase III au cours de laquelle la tension du

signal de commande V_{GS} est ramenée à 0 ou à une valeur négative et la durée ΔT_1 du palier IV, ainsi que sur l'amplitude de ce palier.

Sur les figures 4 et 5, on a représenté la variation
5 du courant et de la tension aux bornes du transistor 14, lors de sa mise en conduction en appliquant respectivement un signal de commande présentant plusieurs niveaux de tension, conformément au signal représenté sur la figure 3 et un signal de commande en forme de créneau, de type
10 classique, c'est-à-dire un signal présentant un unique niveau à 15 V.

En se référant tout d'abord à la figure 4, on voit que la tension V_{DS} présente entre le drain D et la source S du transistor 14 est sensiblement dépourvue d'oscillation et
15 a généralement la forme d'un créneau, et que le courant I_d de drain présente un unique pic dont la valeur s'établit au maximum à 12 A.

Au contraire, et comme représenté sur la figure 5, on voit que la tension V_{DS} comporte une zone transitoire
20 perturbée et que le courant de drain I_d comporte de fortes oscillations qui nécessiteraient, pour obtenir un pic de courant sensiblement identique à celui obtenu à l'aide d'un signal de commande conforme à l'invention, de doter le circuit d'une résistance de liaison intercalée entre la
25 source de tension et le transistor ayant une valeur très élevée de l'ordre de 330 Ohms.

On notera en outre que le signal de commande à palier conforme à l'invention permet de réduire
30 considérablement les perturbations électromagnétiques engendrées par le transistor, en raison de la réduction considérable des oscillations.

Sur la figure 6, on a représenté la variation du courant I_{d1} et de la tension V_{ds1} aux bornes du transistor 14 au cours de son blocage, sous l'action d'un signal de

commande conforme à l'invention, tel que représenté sur la figure 3, et la variation du courant I_{d2} et de la tension V_{ds2} aux bornes de ce transistor au cours de son blocage sous l'action d'un signal de commande de forme classique, constitué par un créneau de tension.

On voit sur cette figure que la commande du blocage du transistor 14 par palier s'accompagne d'une réduction sensible des oscillations par rapport à une commande de type classique.

En outre, si l'on compare les pentes du courant et de la tension pendant la phase de blocage, le signal de commande conforme à l'invention permet de réduire de façon sensible le gradient de tension et le gradient de courant par rapport à une commande de type classique.

L'invention qui vient d'être décrite a été faite en référence à la commande de la commutation d'une cellule de commutation élémentaire constituée de façon classique par l'association d'un transistor et d'une diode.

Bien entendu, l'invention s'applique également à la commande de la commutation d'un bras onduleur de tension constitué de l'association en série de deux interrupteurs comportant chacun un transistor et une diode montée en antiparallèle.

Comme on le conçoit, la commande de la commutation de chacun de ces transistors permet de commander de façon complémentaire les deux interrupteurs, ce qui n'est pas possible avec une commande classique sans provoquer un court-circuit de la source de tension, comme mentionné précédemment.

On conçoit enfin que l'invention qui vient d'être décrite permet également la commande de la commutation d'interrupteurs de convertisseur matriciel, également connu sous l'appellation convertisseur direct qui utilise des

interrupteurs IBTC (Interrupteur bidirectionnel totalement commandable).

REVENDICATIONS

1. Procédé de commande de la commutation de transistors (14) de puissance par application d'un signal de commande (V_{GS}) sur la grille du ou de chaque transistor, le
5 signal de commande comportant au moins un palier (I;IV) de tension ayant une valeur intermédiaire ($V_{th} \pm \Delta V_{th}$) entre un premier niveau de tension adapté pour positionner le transistor (14) dans un premier état de commutation et un
10 deuxième niveau de tension adapté pour positionner ce dernier dans un deuxième état de commutation, caractérisé en ce que la valeur intermédiaire de la tension du signal de commande est sensiblement égale à la tension de seuil ($V_{th} \pm \Delta V_{th}$) du transistor, et constitue un moyen de réglage du courant de charge ou de décharge d'une capacité d'entrée
15 (C_{GS}) du transistor.

2. Procédé selon la revendication 1, pour la commande du blocage du transistor (14), caractérisé en ce que l'on positionne la tension du signal de commande (V_{GS}) à une valeur sensiblement nulle ou négative, puis on élève la
20 tension de ce dernier jusqu'à ladite valeur intermédiaire, et l'on abaisse la tension du signal de commande jusqu'à une valeur sensiblement nulle ou négative.

3. Procédé selon la revendication 1, pour la commande de la mise en conduction du transistor, caractérisé
25 en ce que l'on élève la tension du signal de commande jusqu'à ladite valeur intermédiaire ($V_{th} \pm \Delta V_{th}$), puis on élève la tension de ce dernier jusqu'au deuxième niveau de tension.

4. Procédé selon l'une quelconque des revendications
30 1 à 3, caractérisé en ce que la durée du ou de chaque palier (I;IV) constitue un deuxième moyen de réglage du courant de charge ou de décharge de la capacité d'entrée (C_{GS}) du transistor.

5. Dispositif de commande de la commutation de transistors de puissance (14), pour la mise en oeuvre d'un procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il comporte au moins une source de tension continue (16,18) associée à un circuit (20,22) de mise en forme du signal délivré par la source de tension de manière à engendrer au moins un palier de tension (I;IV) ayant une valeur intermédiaire ($V_{th} \pm \Delta V_{th}$) entre un premier niveau de tension délivré par la source pour positionner le transistor (16) dans un premier état de commutation et un deuxième niveau de tension délivré par la source pour positionner le transistor (14) dans un deuxième état de commutation, le ou chaque circuit (20,22) de mise en forme étant connecté entre la grille (G) et l'électrode de référence (S) du transistor, en vue de la polarisation de la grille, et en ce que la valeur de la tension du ou de chaque palier est sensiblement égale à la valeur de la tension de seuil ($V_{th} \pm \Delta V_{th}$) du transistor.

1 / 2

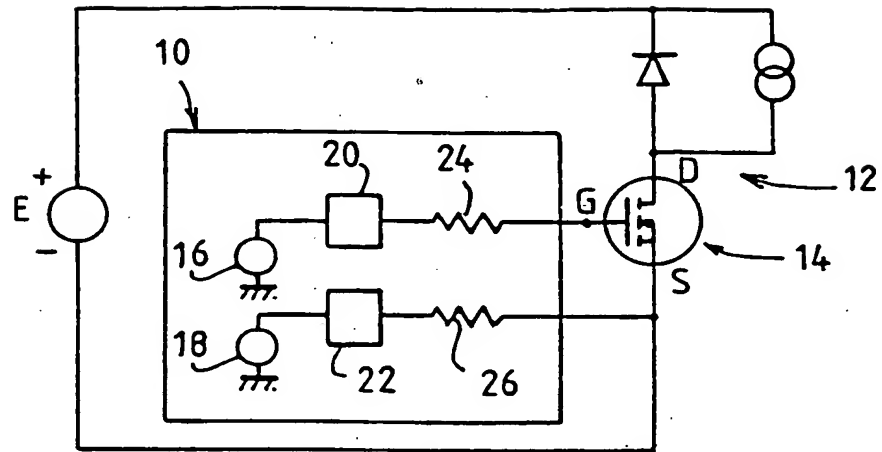


FIG. 1

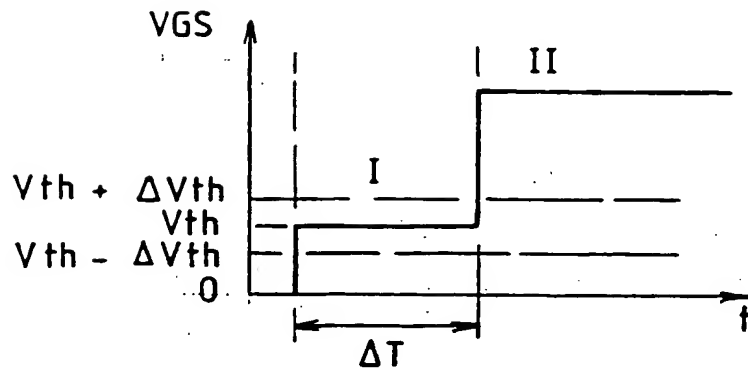


FIG. 2

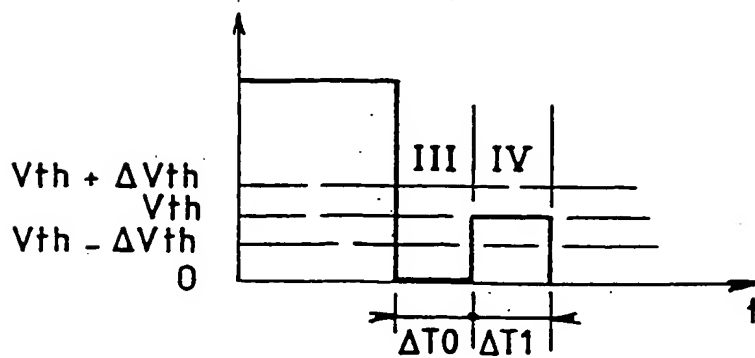


FIG. 3

2 / 2

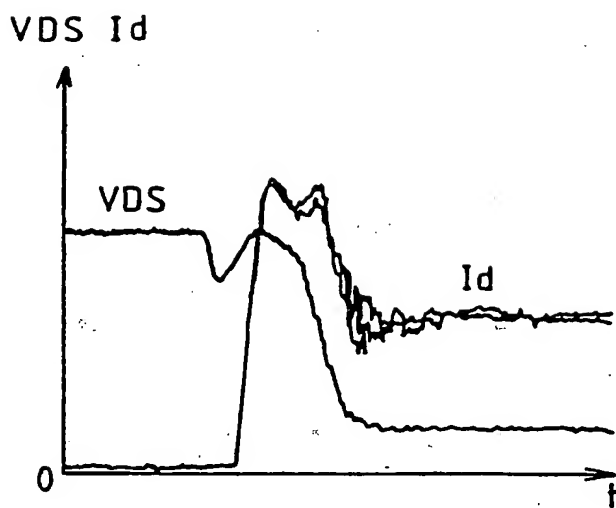


FIG. 4

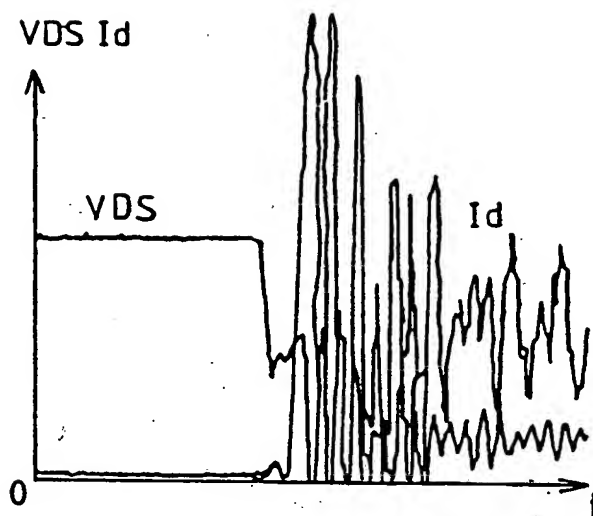


FIG. 5

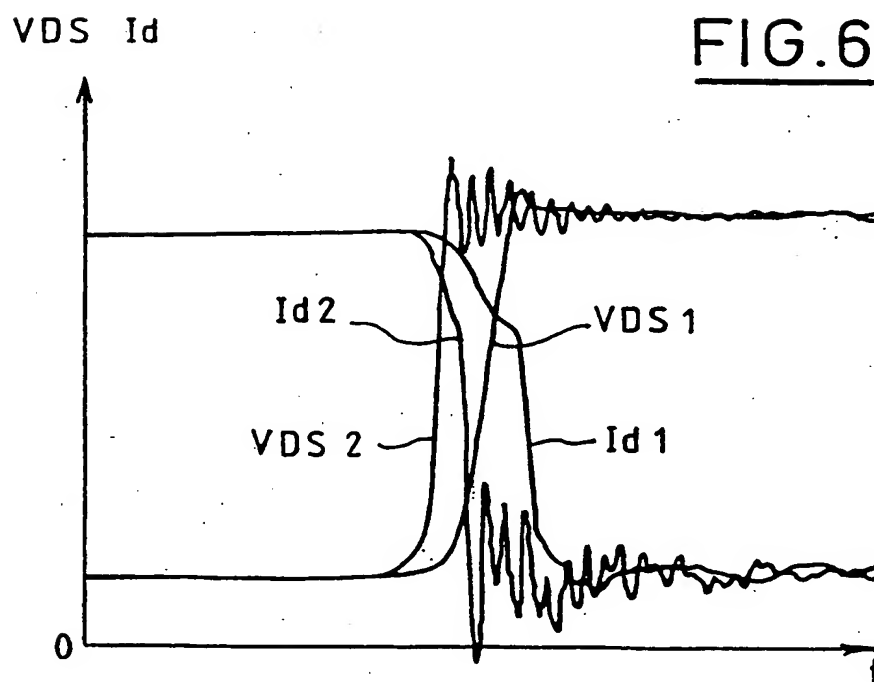


FIG. 6

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/00795

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H03K17/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 633 600 A (OHNISHI YASUHIRO) 27 May 1997 see column 3, line 65 - column 6, line 14; figures 4,5	1,3,5
A	EP 0 542 460 A (FUJI ELECTRIC CO LTD) 19 May 1993 see column 4, line 22 - column 5, line 57; figures 1,2	2,4

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

30 June 1999

Date of mailing of the international search report

06/07/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Cantarelli, R

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 99/00795

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5633600	A	27-05-1997	JP 2655096 B	17-09-1997
			JP 8097700 A	12-04-1996
EP 0542460	A	19-05-1993	JP 5129917 A	25-05-1993
			DE 69220649 D	07-08-1997
			DE 69220649 T	11-12-1997
			US 5287023 A	15-02-1994

RAPPORT DE RECHERCHE INTERNATIONALE

Der. je internationale No

PCT/FR 99/00795

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 6 H03K17/16

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 6 H03K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 633 600 A (OHNISHI YASUHIRO) 27 mai 1997 voir colonne 3, ligne 65 - colonne 6, ligne 14; figures 4,5	1,3,5
A	EP 0 542 460 A (FUJI ELECTRIC CO LTD) 19 mai 1993 voir colonne 4, ligne 22 - colonne 5, ligne 57; figures 1,2	2,4

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

30 juin 1999

Date d'expédition du présent rapport de recherche internationale

06/07/1999

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Cantarelli, R

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dem. Internationale No

PCT/FR 99/00795

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5633600 A	27-05-1997	JP 2655096 B	17-09-1997
		JP 8097700 A	12-04-1996
EP 0542460 A	19-05-1993	JP 5129917 A	25-05-1993
		DE 69220649 D	07-08-1997
		DE 69220649 T	11-12-1997
		US 5287023 A	15-02-1994